

MOS CONTROLLED THYRISTOR WITH CURRENT SATURATION CHARACTERISTICS

Patent number:	JP8051197
Publication date:	1996-02-20
Inventor:	AJIT JANARDHANAN S
Applicant:	INTERNATL RECTIFIER CORP
Classification:	
- international:	H01L29/74; H01L29/78
- european:	
Application number:	JP19950157752 19950623
Priority number(s):	

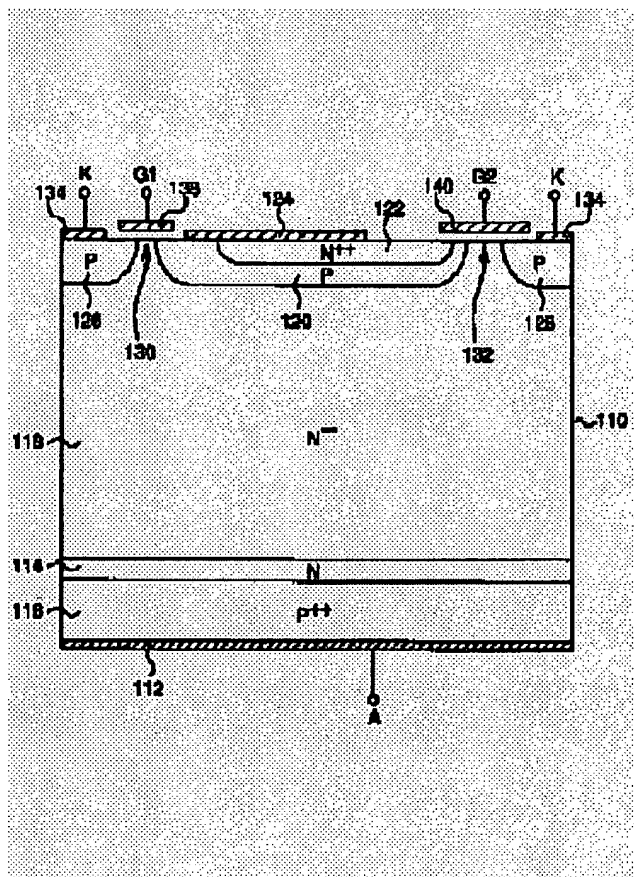
Also published as:

US5498884 (A1)
ITMI951305 (A)
GB2290659 (A)
FR2723259 (A1)
DE19521751 (A1)

Abstract of JP8051197

PURPOSE: To impart current saturation characteristics to a device by forming an N type emitter region which extends below a first surface by a second depth shallower than a first depth to form an N type emitter/P type base junction and in which the fringe of P type base extends to the first surface to form a first region along a first fringe part.

CONSTITUTION: Lateral length of an N emitter 122 is set such that a part of an N emitter/P type base junction is biased forward in the ON state for turning a thyristor defined by regions 122, 120, 118, 114 and 116 on. Consequently, a main thyristor current detours the m channel beneath a gate 140 and passes through the layers 114, 118 and 120 from the P region 116 thence flows upward through the device toward the N emitter 112. Subsequently, it passes through a p-channel MOSFET beneath a gate 138 and a P region 126 and flows toward a cathode 134. The p-channel MOSFET is connected in series with a thyristor and current saturation characteristics are provided by the MOSFET limiting saturation of the device through current.



Data supplied from the **esp@cenet** database - Patent Abstracts of Japan

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-51197

(43)公開日 平成8年(1996)2月20日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/74

29/78

H 0 1 L 29/ 74

N

D

9055-4M

29/ 78

6 5 5 F

審査請求 未請求 請求項の数11 O L (全 16 頁)

(21)出願番号 特願平7-157752

(22)出願日 平成7年(1995)6月23日

(31)優先権主張番号 2 6 5 3 9 7

(32)優先日 1994年6月24日

(33)優先権主張国 米国 (US)

(71)出願人 591107551

インターナショナル・レクチファイヤー・
コーポレーション

INTERNATIONAL RECTI
FIER CORPORATION

アメリカ合衆国カリフォルニア州エル・セ
グンド、カンザス・ストリート233番

(72)発明者 ジャナルドハナン・エス・アジット

アメリカ合衆国90278カリフォルニア州レ
ドンド・ビーチ、クラーク・レイン・ナン
パー2、1916番

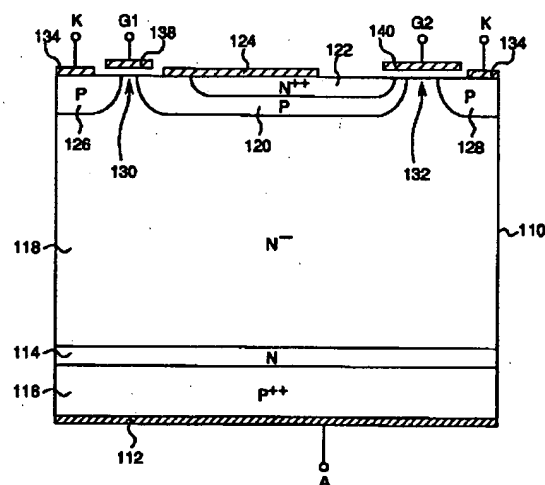
(74)代理人 弁理士 青山 葆 (外1名)

(54)【発明の名称】 電流飽和特性を有するMOS制御サイリスタ

(57)【要約】

【目的】 本発明は、電流飽和特性を有し、デバイス内に寄生サイリスタ構造を持たないMOS制御サイリスタを提供する。

【構成】 MOS制御サイリスタにおいて、2つのゲートドライブを有する4端子型デバイスであるか、あるいは1つのゲートドライブのみを必要とする3端子型デバイスである。またデバイス内において細胞様構造をしており、N⁺⁺エミッタ/Pベース接合部がターンオフの間逆バイアスされるために、デバイスはすぐれたターンオフ特性とより広い安全動作領域を持つ。



【特許請求の範囲】

【請求項1】 互いに平行で隔離された平坦な第1および第2表面を有する半導体材料からなるウエハであって、上記第1表面から延在するウエハの厚みの少なくとも一部が、接合部を受承する比較的低濃度ドーピングされたN型層からなり、また上記第2表面から延在するウエハの厚みの少なくとも一部が比較的高濃度ドーピングされたP型層からなるウエハと、

上記比較的低濃度ドーピングされたN型エピタキシャル配置層に形成され、上記第1表面から上記第1表面下に第1深さだけ延在するP型ベースと、

上記P型ベースにおいて形成されるとともに、上記第1深さより浅い第2深さだけ上記第1表面から上記第1表面下に延在してN型エミッタ/P型ベース接合を形成し、かつ上記P型ベースの縁に沿って上記第1表面で半径方向内側に隔離されていて、上記P型ベースの上記縁が上記第1表面まで延在することにより上記縁の第1縁部に沿う第1チャンネル領域を形成するN型エミッタ領域と、

上記第1表面上に設けられて上記エミッタ領域を上記縁のうちの第2縁部に沿って上記P型ベースに接続する金属ストラップと、

上記比較的低濃度ドーピングされたN型層に形成され、上記ウエハの上記第1表面から延在しているとともに、上記比較的低濃度ドーピングされたN型エピタキシャル層に形成され、上記P型ベースの上記第2および第1縁部から間隔をあけて横側に形成されてかつ第2と第3チャンネル領域を形成している第1および第2P型領域と、

少なくとも上記第2チャンネル領域上に形成された上記第1表面上の第1ゲート絶縁層手段と、

少なくとも上記第2チャンネル領域上にある上記第1ゲート絶縁層手段上の第1ゲート電極手段と、

少なくとも上記第1および第3チャンネル領域上に形成された上記第1表面上の第2ゲート絶縁層手段と、

少なくとも上記第1および第3チャンネル領域上にある上記第2ゲート絶縁層手段上の第2ゲート電極手段と、

上記第2表面上に形成されて、上記P型層に接続された陽極電極手段と、

上記第1表面上の第1および第2P型領域に接続された陰極電極手段とからなるMOS制御サイリスタ。

【請求項2】 互いに平行で隔離された平坦な第1および第2表面を有する半導体材料からなるウエハであって、上記第1表面から延在するウエハの厚みの少なくとも一部が、接合部を受承する比較的低濃度ドーピングされたN型層からなり、また上記第2表面から延在するウエハの厚みの少なくとも一部が、比較的高濃度ドーピングされたP型層からなるウエハと、

上記比較的低濃度ドーピングされたN型層に形成され、上記第1表面から上記表面下に第1深さだけ延在するP

型ベースと、

上記P型ベースに形成されているとともに、上記第1深さより浅い第2深さだけ、上記第1表面から上記第1表面下に延在して、N型エミッタ/P型ベース接合を形成し、かつ、上記P型ベースの縁に沿って上記第1表面で半径方向内側に隔離されていて、上記P型ベースの上記縁が上記第1表面まで延在することにより上記縁に沿う第1および第2チャンネル領域を形成するN型エミッタ領域と、

上記比較的低濃度ドーピングされたN型層に形成されているとともに、上記ウエハの上記第1表面から延在しているとともに、上記比較的低濃度ドーピングされたN型層に形成され、かつ、互いにまた上記P型ベースから間隔をおいて横方に形成されて第3と第4チャンネル領域をそれぞれ形成している第1および第2P型領域と、

上記第1表面上に設けられて上記N型エミッタ領域を上記第2P型領域に接続する金属ストラップと、

上記比較的低濃度ドーピングされたN型層に形成され、上記ウエハの上記第1表面から延在しているとともに、

上記P型ベースから横側に間隔をあけて形成されて、上記N型層に第5チャンネル領域を形成している第3P型領域と、

少なくとも上記第3チャンネル領域上に配置された上記第1半導体表面上の第1ゲート絶縁層手段と、

少なくとも上記第1ゲート絶縁層手段上にあり、上記第3チャンネル領域上にある第1ゲート電極手段と、

少なくとも上記第1および第4チャンネル領域上に形成された上記第1表面上の第2ゲート絶縁層手段と、

少なくとも上記第1および第4チャンネル領域上にある上記第2ゲート絶縁層手段上の第2ゲート電極手段と、

少なくとも上記第2および第5チャンネル領域上に配置された上記第1表面上の第3ゲート絶縁層手段と、

少なくとも上記第2および第5チャンネル領域上にある上記第3ゲート絶縁層手段上の第3ゲート電極手段と、

上記第2表面上に形成されて、上記P型層に接続された陽極電極手段と、

上記第1表面上の上記第1および第3P型領域に接続された陰極電極手段とからなるMOS制御サイリスタ。

【請求項3】 互いに平行で隔離された平坦な第1および第2表面を有する半導体材料からなるウエハであって、上記第1表面から延在する上記ウエハの厚みの少なくとも一部が、接合部を受承する比較的低濃度ドーピングされたN型層からなり、上記第2表面から延在する上記ウエハの厚さの少なくとも一部が比較的高濃度ドーピングされたP型層からなるウエハと、

上記比較的低濃度ドーピングされたN型層に形成され、上記第1表面から上記第1表面下に第1深さだけ延在するP型ベースと、

上記P型ベースにおいて形成されるとともに、上記第1深さより浅い第2深さだけ上記第1表面から上記第1表

面下に延在して、N型エミッタ/P型ベース接合を形成し、かつ、上記P型ベースの縁に沿って上記第1表面上で半径方向内側に隔離されていて、上記P型ベースの上記縁が上記第1表面まで延在することにより上記縁に沿う第1チャネル領域を形成するN型エミッタ領域と、上記比較的low濃度ドーピングされたN型層において形成され、上記ウェハの上記第1表面から延在しているとともに、上記比較的low濃度ドーピングされたN型層に形成され、かつ、互いにまた上記第2 P型領域が上記P型ベースから間隔をあけて横側に形成されて第2と第3チャネル領域をそれぞれ形成している第1および第2 P型領域と、少なくとも上記第1表面上に設けられ、上記N型エミッタ領域を上記第2 P型領域に接続する金属ストラップと、少なくとも上記第2チャネル領域上に形成された上記第1表面上の第1ゲート絶縁層手段と、少なくとも上記第2チャネル領域上にある上記第1ゲート絶縁層手段上の第1ゲート電極手段と、少なくとも上記第1および第3チャネル領域上に形成された上記第1表面上の第2ゲート絶縁層手段と、少なくとも上記第1および第3チャネル領域上にある上記第2ゲート絶縁層手段上の第2ゲート電極手段と、上記第2表面上に形成されて、上記P型層に接続された陽極電極手段と、上記第1表面上の上記第1および第3 P型領域に接続された陰極電極手段とからなるMOS制御サイリスタ。

【請求項4】 請求項3に記載のMOS制御サイリスタにおいて、上記第2ゲート電極は電氣的に浮遊しているか欠落しているMOS制御サイリスタ。

【請求項5】 請求項2または請求項3に記載のMOS制御サイリスタにおいて、空乏PチャネルMOSFETを形成するために、上記第1および第2 P型領域間の上記第2チャネル領域に形成される比較的low濃度ドーピングされたP型領域を含むMOS制御サイリスタ。

【請求項6】 互いに平行で隔離された平坦な第1および第2表面を有する半導体材料のウェハであって、上記第1表面から延在するウェハの厚みの少なくとも一部が、接合部を受承する比較的low濃度ドーピングされたN型層からなり、また、上記第2表面から延在するウェハの厚みの少なくとも一部が、高濃度ドーピングされたP型層からなるウェハと、

上記比較的low濃度ドーピングされたN型エピタキシャル配置層に形成され、上記第1表面から上記第1表面下に第1深さだけ延在するP型井戸と、

上記比較的low濃度ドーピングされたN型層に形成され、上記第1表面から上記第1表面下に上記第1深さより浅い第2深さだけ延在して、かつ、上記第1表面に沿って上記P型井戸の縁から半径方向内側へ間隔をあけて形成されることにより、第1表面近傍の上記P型井戸内に第

1チャネル領域を形成するN型井戸と、

上記比較的low濃度ドーピングされたN型層に形成され、上記第1表面から上記第2深さより浅い上記第1表面下の第3の深さだけ延在して、かつ、上記N型井戸から半径方向内側へ上記第1半導体表面に沿って間隔をあけて配置されることにより、上記第1表面近傍の上記N型井戸内に第2チャネル領域を形成するP型ベースと、

上記P型ベースに形成され、上記第1表面から上記第1表面下に上記第3深さより浅い第4深さだけ延在しているとともに、N型ソース/P型ベース接合を形成して、かつ、上記第1表面に沿って上記P型ベースの縁から半径方向内側へ隔離されることにより、上記第1表面近傍の上記P型ベース内に第3チャネル領域を形成するN型ソース領域と、

上記比較的low濃度ドーピングされたN型層において形成され、上記ウェハの上記第1表面から延在しているとともに、比較的low濃度ドーピングされた上記P型井戸の上記縁から間隔をあけて横側に配置されることにより、P型領域と上記第1表面近傍の上記P型井戸の間のN型エピタキシャル層内に第4チャネル領域を形成するP型領域と、

少なくとも上記第1、第2、第3、第4チャネル領域上に形成された上記第1半導体表面上のゲート絶縁層手段と、

少なくとも上記第1、第2、第3、第4チャネル領域上にある上記ゲート絶縁層手段上のゲート電極手段と、上記第2表面上に設けられる上記P型層に接続される陽極電極手段と、

上記P型ベースと、上記N型エミッタと、上記第1表面上の上記P型領域とに接続される陰極電極手段とからなるMOS制御サイリスタ。

【請求項7】 請求項6に記載のサイリスタにおいて、上記P型井戸と上記第1 P型領域のそれぞれは対称に並んだ配列で形成されるセルからなるMOS制御サイリスタ。

【請求項8】 互いに平行で隔離された平坦な第1および第2表面を有する半導体材料のウェハであって、上記第1表面から延在するウェハの厚みの少なくとも一部が、接合部を受承する比較的low濃度ドーピングされたN型層からなり、また上記第2表面から延在するウェハの厚みの少なくとも一部が、高濃度ドーピングされたP型層からなるウェハと、

上記比較的low濃度ドーピングされたN型層において形成され、上記第1表面から上記第1表面下に第1深さだけ延在するP型井戸と、

上記比較的low濃度ドーピングされたN型層において形成されているとともに、上記第1表面から上記第1表面下に上記第1深さより浅い第2深さだけ延在して、半径方向内側へ上記第1表面に沿って上記P型井戸の縁から間隔をあけて形成されるN型井戸と、

10

20

30

40

50

上記比較的低濃度ドーピングされたN型層において形成されているとともに、上記第1表面から上記第2深さより浅い上記第1表面下に第3深さだけ延在して、上記N型井戸の縁から半径方向内部へ上記第1表面に沿って間隔をあけて形成されるP型ベースと、

上記P型ベースにおいて形成され、上記第1表面から上記第1表面下に上記第3深さより浅い第4深さだけ延在しているとともに、N型ソース/P型ベース接合を形成して、かつ、上記P型ベースの縁から半径方向内側へ上記第1表面に沿って間隔をあけて形成されることにより、上記第1表面近傍の上記P型ベース内に第1チャネル領域を形成するN型ソース領域と、

上記P型井戸において形成され、上記第1表面から上記第1表面下に上記第1深さより浅い第5深さだけ延在して、かつ、上記P型井戸の縁から半径方向内側へ上記第1表面に沿って間隔をあけて形成されることにより、上記第1表面近傍の上記P型井戸内に第2チャネル領域を形成するN型エミッタ領域と、

上記比較的低濃度ドーピングされたN型層において形成され、上記ウエハの上記第1表面から延在して、かつ、上記P型井戸の上記縁から間隔をあけて横側に形成されることにより、P型領域と上記第1表面近傍の上記P型井戸の間の比較的低濃度ドーピングされたN型エピタキシャル層内に第3チャネル領域を形成するP型領域と、少なくとも上記第1、第2、第3チャネル領域上に形成された上記第1表面上のゲート絶縁層手段と、少なくとも上記第1、第2、第3チャネル領域上にある上記ゲート絶縁層手段上のゲート電極手段と、

上記第2表面上に形成された上記P型層に接続される陽極電極手段と、

上記P型ベースと、上記N型ソースと、上記第1表面上の上記P型領域とに、接続される陰極電極手段とからなるMOS制御サイリスタ。

【請求項9】 請求項8に記載のMOS制御サイリスタにおいて、上記P型井戸、N型井戸、上記P型ベースおよび上記N型ソースが共に第1セルを含み、上記P型井戸内に形成される上記N型エミッタは第2セルを含み、上記P型領域は第3セルを含み、上記セルが対称に並んだ配列で配置されるMOS制御サイリスタ。

【請求項10】 請求項7あるいは請求項9に記載のMOS制御サイリスタにおいて、上記セルは多角形の形状を持つMOS制御サイリスタ。

【請求項11】 請求項7あるいは請求項9に記載のMOS制御サイリスタにおいて、上記セルは、複数の並列に接続され対称に配置された多角形の形状をしたセル配列の中に配列され、上記電極手段は上記配列上の格子を含むMOS制御サイリスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はMOS制御サイリスタに

関し、特に寄生サイリスタ構造を持たない電流飽和特性を持ったMOS制御サイリスタに関する。

【0002】

【従来の技術および発明が解決しようとする課題】 バイポーラ伝導構造にMOS制御を結合させた電力用半導体構造はよく知られている。絶縁ゲートバイポーラトランジスタ(IGBT)はそのようなデバイスの一例であり、そこではバイポーラ構造のベース電流が集積MOSFETを介して制御される。IGBTは600ボルトの範囲のブロック電圧での高電圧用電子部品の用途に最も適している。より高い電圧の処理が可能なIGBTは、より高いオン状態電圧降下を持つため不利である。サイリスタ構造を介したオン状態電流が流れることにより、より低いオン状態電圧降下が実現されるという理由から、MOSゲートサイリスタは、大電流、高電圧での用途において、高い関心が持たれてきた。

【0003】 MOSゲートサイリスタには、MOS制御サイリスタ(MCT)とエミッタスイッチ型サイリスタ(EST)との2種類がある。V. A. K. テンプルのIEEEの国際電子デバイス会議(IEDM)の技術ダイジェスト(V.A.K. Temple, IEEE International Electron Device Meeting(IEDM) Technical Digest, San Francisco (December 1984), pp.28285)の論文で説明されているように、MCTにおいて、陰極短絡回路はMOSゲートを介して切り替えがなされる。しかしながら、複雑な製造用件が必要であることやターンオフ間の電流フィラメンテーション(current filamentation)問題や電流飽和特性を持っていないということから、MCTの商業的開発は制限されてきた。

【0004】 図1に示されたESTは、サイリスタを基本的に直列接続したMOSFETからなり、「エミッタスイッチ型」と呼ばれる。ESTはMCTよりも製造が容易であるという利点がある。ESTは電流飽和特性を示すが、図1に示したようにゲート制御型nチャネルMOSFETをバイパスする固有寄生サイリスタによりその電流飽和特性が制限されている。従って、電流飽和特性を持った、デバイス内の寄生サイリスタ構造により制限されないESTが必要とされる。本発明の目的は、寄生サイリスタ構造を持たない電流飽和特性を有するMOS制御サイリスタを提供する。

【0005】

【課題を解決するための手段】 本発明に係る第1のMOS制御サイリスタは、互いに平行で隔離された平坦な第1および第2表面を有する半導体材料からなるウエハであって、上記第1表面から延在するウエハの厚みの少なくとも一部が、接合部を受容する比較的低濃度ドーピングされたN型層からなり、また上記第2表面から延在するウエハの厚みの少なくとも一部が比較的高濃度ドーピングされたP型層からなるウエハと、上記比較的低濃度ドーピングされたN型エピタキシャル配置層に形成さ

れ、上記第1表面から上記第1表面下に第1深さだけ延在するP型ベースと、上記P型ベースにおいて形成されているとともに、上記第1深さより浅い第2深さだけ上記第1表面から上記第1表面下に延在してN型エミッタ/P型ベース接合を形成し、かつ上記P型ベースの縁に沿って上記第1表面で半径方向内側に隔離されていて、上記P型ベースの上記縁が上記第1表面まで延在することにより上記縁の第1縁部に沿う第1チャンネル領域を形成するN型エミッタ領域と、上記第1表面上に設けられて上記エミッタ領域を上記縁のうちの第2縁部に沿って上記P型ベースに接続する金属ストラップと、上記比較的低濃度ドーピングされたN型層に形成され、上記ウエハの上記第1表面から延在しているとともに、上記比較的低濃度ドーピングされたN型エピタキシャル層に形成され、上記P型ベースの上記第2および第1縁部から間隔をあけて横側に形成されてかつ第2と第3チャンネル領域を形成している第1および第2P型領域と、少なくとも上記第2チャンネル領域上に形成された上記第1表面上の第1ゲート絶縁層手段と、少なくとも上記第2チャンネル領域上にある上記第1ゲート絶縁層手段上の第1ゲート電極手段と、少なくとも上記第1および第3チャンネル領域上に形成された上記第1表面上の第2ゲート絶縁層手段と、少なくとも上記第1および第3チャンネル領域上にある上記第2ゲート絶縁層手段上の第2ゲート電極手段と、上記第2表面上に形成されて、上記P型層に接続された陽極電極手段と、上記第1表面上の第1および第2P型領域に接続された陰極電極手段とからなる。

【0006】本発明に係る第2のMOS制御サイリスタは、互いに平行で隔離された平坦な第1および第2表面を有する半導体材料からなるウエハであって、上記第1表面から延在するウエハの厚みの少なくとも一部が、接合部を受承する比較的低濃度ドーピングされたN型層からなり、また上記第2表面から延在するウエハ厚みの少なくとも一部が、比較的高濃度ドーピングされたP型層からなるウエハと、上記比較的低濃度ドーピングされたN型層に形成され、上記第1表面から上記表面下に第1深さだけ延在するP型ベースと、上記P型ベースに形成されているとともに、上記第1深さより浅い第2深さだけ、上記第1表面から上記第1表面下に延在して、N型エミッタ/P型ベース接合を形成し、かつ、上記P型ベースの縁に沿って上記第1表面で半径方向内側に隔離されていて、上記P型ベースの上記縁が上記第1表面まで延在することにより上記縁に沿う第1および第2チャンネル領域を形成するN型エミッタ領域と、上記比較的低濃度ドーピングされたN型層に形成されているとともに、上記ウエハの上記第1表面から延在しているとともに、上記比較的低濃度ドーピングされたN型層に形成され、かつ、互いにまた上記P型ベースから間隔をおいて横方に形成されて第3と第4チャンネル領域をそれぞれ形成している第1および第2P型領域と、上記第1表面上に設

けられて上記N型エミッタ領域を上記第2P型領域に接続する金属ストラップと、上記比較的低濃度ドーピングされたN型層に形成され、上記ウエハの上記第1表面から延在しているとともに、上記P型ベースから横側に間隔をあけて形成されて、上記N型層に第5チャンネル領域を形成している第3P型領域と、少なくとも上記第3チャンネル領域上に配置された上記第1半導体表面上の第1ゲート絶縁層手段と、少なくとも上記第1ゲート絶縁層手段上にあり、上記第3チャンネル領域上にある第1ゲート電極手段と、少なくとも上記第1および第4チャンネル領域上に形成された上記第1表面上の第2ゲート絶縁層手段と、少なくとも上記第1および第4チャンネル領域上にある上記第2ゲート絶縁層手段上の第2ゲート電極手段と、少なくとも上記第2および第5チャンネル領域上に配置された上記第1表面上の第3ゲート絶縁層手段と、少なくとも上記第2および第5チャンネル領域上にある上記第3ゲート絶縁層手段上の第3ゲート電極手段と、上記第2表面上に形成されて、上記P型層に接続された陽極電極手段と、上記第1表面上の上記第1および第3P型領域に接続された陰極電極手段とからなる。

【0007】本発明に係る第3のMOS制御サイリスタは、互いに平行で隔離された平坦な第1および第2表面を有する半導体材料からなるウエハであって、上記第1表面から延在する上記ウエハの厚みの少なくとも一部が、接合部を受承する比較的低濃度ドーピングされたN型層からなり、上記第2表面から延在する上記ウエハの厚さの少なくとも一部が比較的高濃度ドーピングされたP型層からなるウエハと、上記比較的低濃度ドーピングされたN型層に形成され、上記第1表面から上記第1表面下に第1深さだけ延在するP型ベースと、上記P型ベースにおいて形成されるとともに、上記第1深さより浅い第2深さだけ上記第1表面から上記第1表面下に延在して、N型エミッタ/P型ベース接合を形成し、かつ、上記P型ベースの縁に沿って上記第1表面で半径方向内側に隔離されていて、上記P型ベースの上記縁が上記第1表面まで延在することにより上記縁に沿う第1チャンネル領域を形成するN型エミッタ領域と、上記比較的低濃度ドーピングされたN型層において形成され、上記ウエハの上記第1表面から延在しているとともに、上記比較的低濃度ドーピングされたN型層に形成され、かつ、互いにまた上記第2P型領域が上記P型ベースから間隔をあけて横側に形成されて第2と第3チャンネル領域をそれぞれ形成している第1および第2P型領域と、少なくとも上記第1表面上に設けられ、上記N型エミッタ領域を上記第2P型領域に接続する金属ストラップと、少なくとも上記第2チャンネル領域上に形成された上記第1表面上の第1ゲート絶縁層手段と、少なくとも上記第2チャンネル領域上にある上記第1ゲート絶縁層手段上の第1ゲート電極手段と、少なくとも上記第1および第3チャンネル領域上に形成された上記第1表面上の第2ゲート絶縁

層手段と、少なくとも上記第1および第3チャネル領域上にある上記第2ゲート絶縁層手段上の第2ゲート電極手段と、上記第2表面上に形成されて、上記P型層に接続された陽極電極手段と、上記第1表面上の上記第1および第3P型領域に接続された陰極電極手段とからなる。

【0008】好ましくは、上記のMOS制御サイリスタにおいて、上記第2ゲート電極は電氣的に浮遊しているか欠落している。

【0009】好ましくは、上記のMOS制御サイリスタにおいて、空乏PチャネルMOSFETを形成するために、上記第1および第2P型領域間の上記第2チャネル領域に形成される比較的低濃度ドーピングされたP型領域を含む。

【0010】本発明に係る第4のMOS制御サイリスタは、互いに平行で隔離された平坦な第1および第2表面を有する半導体材料のウェハであって、上記第1表面から延在するウェハの厚みの少なくとも一部が、接合部を受承する比較的低濃度ドーピングされたN型層からなり、また、上記第2表面から延在するウェハの厚みの少なくとも一部が高濃度ドーピングされたP型層からなるウェハと、上記比較的低濃度ドーピングされたN型エピタキシャル配置層に形成され、上記第1表面から上記第1表面下に第1深さだけ延在するP型井戸と、上記比較的低濃度ドーピングされたN型層に形成され、上記第1表面から上記第1表面下に上記第1深さより浅い第2深さだけ延在して、かつ、上記第1表面に沿って上記P型井戸の縁から半径方向内側へ間隔をあけて形成されることにより、第1表面近傍の上記P型井戸内に第1チャネル領域を形成するN型井戸と、上記比較的低濃度ドーピングされたN型層に形成され、上記第1表面から上記第2深さより浅い上記第1表面下の第3の深さだけ延在して、かつ、上記N型井戸から半径方向内側へ上記第1半導体表面に沿って間隔をあけて配置されることにより、上記第1表面近傍の上記N型井戸内に第2チャネル領域を形成するP型ベースと、上記P型ベースに形成され、上記第1表面から上記第1表面下に上記第3深さより浅い第4深さだけ延在しているとともに、N型ソース/P型ベース接合を形成して、かつ、上記第1表面に沿って上記P型ベースの縁から半径方向内側へ隔離されることにより、上記第1表面近傍の上記P型ベース内に第3チャネル領域を形成するN型ソース領域と、上記比較的低濃度ドーピングされたN型層において形成され、上記ウェハの上記第1表面から延在しているとともに、比較的低濃度ドーピングされた上記P型井戸の上記縁から間隔をあけて横側に配置されることにより、P型領域と上記第1表面近傍の上記P型井戸の間のN型エピタキシャル層内に第4チャネル領域を形成するP型領域と、少なくとも上記第1、第2、第3、第4チャネル領域上に形成された上記第1半導体表面上のゲート絶縁層手段と、少

なくとも上記第1、第2、第3、第4チャネル領域上にある上記ゲート絶縁層手段上のゲート電極手段と、上記第2表面上に設けられる上記P型層に接続される陽極電極手段と、上記P型ベースと、上記N型エミッタと、上記第1表面上の上記P型領域とに接続される陰極電極手段とからなる。

【0011】好ましくは、上記のMOS制御サイリスタにおいて、上記P型井戸と上記第1P型領域のそれぞれは対称に並んだ配列で形成されるセルからなる。

【0012】本発明に係る第5のMOS制御サイリスタは、互いに平行で隔離された平坦な第1および第2表面を有する半導体材料のウェハであって、上記第1表面から延在するウェハの厚みの少なくとも一部が、接合部を受承する比較的低濃度ドーピングされたN型層からなり、また上記第2表面から延在するウェハの厚みの少なくとも一部が、高濃度ドーピングされたP型層からなるウェハと、上記比較的低濃度ドーピングされたN型層において形成され、上記第1表面から上記第1表面下に第1深さだけ延在するP型井戸と、上記比較的低濃度ドーピングされたN型層において形成されているとともに、上記第1表面から上記第1表面下に上記第1深さより浅い第2深さだけ延在して、半径方向内側へ上記第1表面に沿って上記P型井戸の縁から間隔をあけて形成されるN型井戸と、上記比較的低濃度ドーピングされたN型層において形成されているとともに、上記第1表面から上記第2深さより浅い上記第1表面下に第3深さだけ延在して、上記N型井戸の縁から半径方向内側へ上記第1表面に沿って間隔をあけて形成されるP型ベースと、上記P型ベースにおいて形成され、上記第1表面から上記第1表面下に上記第3深さより浅い第4深さだけ延在しているとともに、N型ソース/P型ベース接合を形成して、かつ、上記P型ベースの縁から半径方向内側へ上記第1表面に沿って間隔をあけて形成されることにより、上記第1表面近傍の上記P型ベース内に第1チャネル領域を形成するN型ソース領域と、上記P型井戸において形成され、上記第1表面から上記第1表面下に上記第1深さより浅い第5深さだけ延在して、かつ、上記P型井戸の縁から半径方向内側へ上記第1表面に沿って間隔をあけて形成されることにより、上記第1表面近傍の上記P型井戸内に第2チャネル領域を形成するN型エミッタ領域と、上記比較的低濃度ドーピングされたN型層において形成され、上記ウェハの上記第1表面から延在して、かつ、上記P型井戸の上記縁から間隔をあけて横側に形成されることにより、P型領域と上記第1表面近傍の上記P型井戸の間の比較的低濃度ドーピングされたN型エピタキシャル層内に第3チャネル領域を形成するP型領域と、少なくとも上記第1、第2、第3チャネル領域上に形成された上記第1表面上のゲート絶縁層手段と、少なくとも上記第1、第2、第3チャネル領域上にある上記ゲート絶縁層手段上のゲート電極手段と、上記

第2表面上に形成された上記P型層に接続される陽極電極手段と、上記P型ベースと、上記N型ソースと、上記第1表面上の上記P型領域とに、接続される陰極電極手段とからなる。

【0013】好ましくは、上記のMOS制御サイリスタにおいて、上記P型井戸、N型井戸、上記P型ベースおよび上記N型ソースが共に第1セルを含み、上記P型井戸内に形成される上記N型エミッタは第2セルを含み、上記P型領域は第3セルを含み、上記セルが対称に並んだ配列で配置される。

【0014】好ましくは、上記のMOS制御サイリスタにおいて、上記セルは多角形の形状を持つ。

【0015】好ましくは、上記のMOS制御サイリスタにおいて、上記セルは、複数の並列に接続され対称に配置された多角形の形状をしたセル配列の中に配列され、上記電極手段は上記配列上の格子を含む。

【0016】

【作用】本発明は、従来の問題点を解決するものであって、第1実施例においては、間隔をあけて置かれた互いに平行な平面状の第1と第2表面を持った半導体材料のウエハからなるMOS制御サイリスタを提供することにより前述の目的を達成している。比較的低濃度にドーピングされたN型層は第1半導体表面から延在し、P型層は第2半導体表面から延在する。

【0017】P型ベースは低濃度にドーピングされたN型層の中に形成されて第1半導体表面から第1半導体表面の下第1深さまで延在している。第1端に沿った第1チャンネル領域を定義することにより、P型ベース内にはN型エミッタ領域が形成されており、このN型エミッタ領域は前期第1深さよりも浅い第2深さまで半導体表面から延在してN型エミッタとP型ベースとの接合部を形成している。このN型エミッタ領域は、P型ベースの周縁に沿って第1半導体表面から半径方向内側に隔離され、従ってP型ベースの周縁が第1半導体表面まで延在して、この周縁の第1縁部に沿う第1チャンネル領域を形成している。金属ストラップが第1半導体表面上に配置されて、前記周縁のうちの第2縁部に沿ってエミッタ領域とP型ベースとを接続している。

【0018】第1および第2P型領域は、比較的低濃度にドーピングされたN型層の中に形成され、ウエハの第1表面から延在している。P型ベースを介して第1半導体表面まで延在する比較的低濃度にドーピングされた第1半導体表面が第1および第2チャンネル領域を形成するように、第1および第2P型領域は、それぞれP型ベースの第2縁部と第1縁部から横側に間隔をあけて配置されている。

【0019】第1ゲート絶縁層は第1半導体表面上に配置され、少なくとも第2チャンネル領域をまたがって延在している。第1ゲート電極は第1ゲート絶縁層上に配置され、第2チャンネル域を覆っている。

【0020】第2ゲート絶縁層は第1半導体表面上に配置され、少なくとも第1および第3チャンネル領域をまたがって延在している。第2ゲート電極は第2ゲート絶縁層手段上に配置され、第1および第3チャンネル領域を覆っている。

【0021】陽極電極は第2半導体表面上に配置されたP型層に接続している。陰極電極は第1半導体表面上の第1と第2P型領域に接続している。

【0022】本発明のMOS制御サイリスタは、さらにP型層と比較的低濃度にドーピングされたN型層の間に配置されるN型層を設けるのが好ましい。P型層とN型エミッタは比較的高濃度にドーピングしておくのが望ましい。

【0023】上述した第1実施例のMOS制御サイリスタにおいて、N型エミッタは、サイリスタがオン状態の時に、N型エミッタ/P型ベース接合部を順バイアスするためにP型ベースにおいて十分な電圧降下を生ずるのに十分な横方の長さを有しており、それはサイリスタがラッチオンになるために必要である。結果として、P型ベースは低濃度ドーピングをしておくとともに、比較的に長いものとしなければならない。他の実施例においては、これらは必要ではない。

【0024】別の実施例においては、第1と第2領域は、横方に間隔をおいた状態で互いに隣接しており、また第2P型領域のみ、P型ベース領域と横方に間隔をおいた状態で隣接している。第3P型領域は、P型ベース領域と横方に間隔をおいた状態で隣接している。本実施例の金属ストラップは、N型エミッタを第2P型ベース領域に接続する。第1絶縁ゲートは、第1と第2P型領域間のN型層内のチャンネル領域上にあり、また第2絶縁ゲートは、第2P型領域とP型ベース間のN型層内のチャンネル領域上にある。第2絶縁ゲートも、N型エミッタと比較的低濃度にドーピングされたN型層間のP型ベースの縁部に形成されるチャンネル領域上にある。第3絶縁ゲートは、P型ベースと第3P型領域間のN層内のチャンネル領域上にある。第3絶縁ゲートはまた、N型エミッタと比較的低濃度にドーピングされたN型層間のP型ベースの第2縁部で形成されるチャンネル領域上にある。第3絶縁ゲートは電氣的に第2絶縁ゲートに接続されるか、または所望によっては第2絶縁ゲートが浮遊したままであるか欠落している。第1と第3P型領域は第1半導体表面上の陰極金属により接続される。陽極電極は第2半導体表面上に配置されたP型層に接続する。

【0025】第1実施例と同様にN型層は、P型層と比較的低濃度にドーピングされたN型層の間に配置するのが好ましい。

【0026】第1、第2、第3P型領域とP型ベースは比較的高濃度にドーピングされ、P型層と上記N型エミッタは非常に高濃度にドーピングされるのが好ましい。

50 所望によっては、比較的低濃度でドーピングされたP型

領域を、第1および第2 P型領域間のチャネル領域に設けて、空乏pチャネルMOSFETを形成してもよい。また、第3 P型領域は不要としてもよい。

【0027】上述した本発明の第1および第2実施例の双方は2つのゲートが必要で、結果として4端子デバイスとなる。本発明の第3実施例においては、1ゲートのみ必要である。

【0028】第3実施例において、P型井戸は比較的低濃度にドーピングされたN型層内に形成され、ウエハの上表面から第1深さだけ延在している。N型井戸は、P型井戸内に形成されているとともに、ウエハの上表面に沿って半径方向内側にP型井戸の縁から間隔をおいて形成されて、P型井戸内に第1チャネル領域を形成している。P型ベースは、N型井戸内に形成されているとともに、ウエハの上表面に沿って半径方向内側へN型井戸の縁から間隔をおいて形成されて、N型井戸内に第2チャネル領域を形成している。最後に、N型ソース領域は、P型ベース内に形成されているとともに、ウエハの上表面に沿って半径方向内側へP型ベースの縁から間隔をおいて形成されて、P型ベース内に第3チャネル領域を形成している。

【0029】P型領域は比較的低濃度にドーピングされたN型層内に形成され、該P型領域はP型領域とP型井戸の間で比較的低濃度にドーピングされたN型層内に望む第4チャネル領域を形成すべく、P型井戸の縁から横方に間隔を置いて形成されている。

【0030】絶縁ゲートはウエハの上表面に配置され、第1、第2、第3、第4チャネル領域上にある。陰極電極がウエハの上表面上のP型ベース、N型ソースおよびP型領域に接続され、陽極電極はウエハの底面に配置されたP型層に接続されている。

【0031】第1および第2実施例と同様に、N型層はP型層と比較的低濃度にドーピングされたN型層の間に設けるのが望ましい。P型層とN型ソースは非常に高濃度にドーピングされる。第3実施例のデバイスは、P型井戸と第1 P型領域がそれぞれセルからなる細胞様構造となっており、該セルは多角形で、対称に並んで配置され、電極格子が載置された多角形の形状を有するのが望ましい。P型領域とそれに対応する第4チャネル領域とは用いなくてもよい。

【0032】第4実施例において、デバイスはセルが房状に集積された形をしている。本実施例において、P型井戸はN型層において形成されているとともに、ウエハの上表面から第1深さだけ延在している。N型井戸はP型井戸の一部分内で形成され、P型井戸の縁からウエハの上表面に沿って半径方向内側へ間隔をおいて配置されて、P型井戸内にある第1チャネル領域を形成している。P型ベースはN型井戸の一部分内で形成されているとともに、N型井戸の縁からウエハの上表面に沿って半径方向内側に間隔をおいて配置されて、N型井戸内に第

2チャネル領域を形成している。N型ソース領域はP型ベースで形成されているとともに、P型ベースの縁からウエハの上表面に沿って半径方向内側へ間隔をおいて配置されて、P型ベース内に第3チャネル領域を形成している。最後に、N型エミッタ領域はP型井戸の一部分内で形成されているとともに、P型ベースの縁からウエハの上表面に沿って半径方向内側へ間隔をおいて配置されて、P型井戸内に第4チャネル領域を形成している。

【0033】P型領域はN型層内で形成されているとともに、P型井戸の縁から横方に間隔をおいて配置されて、P型領域とP型井戸の間のN型層に第5チャネル領域を形成している。絶縁ゲートはウエハの上表面に配置され、第1、第2、第3、第4および第5チャネル領域の上方に臨んでいる。陰極電極がウエハの上表面上のP型ベース、N型ソース、およびP型領域に接続され、陽極電極はウエハの底表面上に配置されたP型層に接続される。

【0034】第1および第2実施例と同様に、N型層はP型層とN型層の間に配置するのが望ましい。P型層とN型リソースとN型エミッタは、非常に高濃度にドーピングがされている。

【0035】本発明の第4実施例は、P型井戸、N型井戸、P型ベースおよびN型ソースが第1セル、P型井戸内に配置されたN型エミッタが第2セルから、またP型領域が第3セルからなり、これらのセルが対称に並んで配置された多角形の形状をしたセル様構造をなしている。

【0036】好ましくは、本発明の全実施例は寄生サイリスタ構造を持たずに電流飽和特性を有している。本発明により、全実施例がターンオフの間、逆バイアスされたエミッタ/ベース接合部を有することから、すぐれたターンオフとより広範囲の安全動作領域が実現できる。さらに、接合パターンは容易に作成できる。

【0037】本発明の他の特徴と利点は、添付図を参照しながら本発明の以下の説明から明らかになるであろう。

【0038】

【実施例】本発明のMOS制御サイリスタの第1実施例を図2に示す。MOS制御サイリスタ110は垂直方向導電型デバイスである。

【0039】N型層114と非常に高濃度にドーピングされたP⁺⁺領域116とはN⁻層118の下側に形成されている。より低い電圧(1200Vより低い)での用途では、N⁻層118はN_{0.1}/P⁺基板上でエピタキシャル成長させて形成するのが望ましい。より高い電圧(1200Vより高い)での用途では、N⁻層118は出発基板材料で、またN層114とP⁺⁺領域116は後方拡散で形成されている。

【0040】デバイスの底面上の陽極電極112はP⁺⁺領域116を覆っている。陽極電極112は陽極端子A

に接続されている。

【0041】層の厚さと濃度はデバイスブロック電圧に依存する。2500Vデバイスの場合では、N⁻ドリフト領域のドーピング濃度と厚さはそれぞれ、 $2 \times 10^{17} \text{ cm}^{-3}$ の範囲と500 μm である。P⁺⁺領域116のドーピング濃度は、1 μm よりも大きい厚さで、 $5 \times 10^{19} \text{ cm}^{-3}$ よりも大きいのが望ましい。N層114のドーピング濃度は、約7 μm よりも大きい厚さで、約 $5 \times 10^{17} \text{ cm}^{-3}$ よりも大きいのが望ましい。

【0042】以下に詳細に説明するように、デバイスのpチャンネルMOSFETのソースを形成するP型ベース120がN⁻層118内に設けられている。N⁺⁺エミッタ領域122がP型ベース120内に設けられて、デバイスの上表面上の浮遊金属ストラップ124（デバイスの電極には接続されていない）によって前記ベース120と電氣的に短絡されている。

【0043】P型ベース120はP型領域126、128により囲まれているが、ウエハの表面まで延在してチャンネル領域130、132をそれぞれ形成するN⁻層118の比較的小さな領域により、P型領域とは隔離されている。

【0044】陰極端子Kに接続した陰極電極134はP型領域126、128に対しオーム接触をなしている。ゲート端子G1に接続した第1絶縁ゲート138はチャンネル領域130上にある。ゲート端子G2に接続した第2絶縁ゲート140はチャンネル領域132上にあり、さらにウエハの上表面におけるN⁺⁺エミッタ領域122とチャンネル領域132の間のP型ベース120の部分上にある。ゲート138、140はポリシリコンからなるのが好ましく、また酸化層（図2には示していない）によりデバイスの上表面とは絶縁されている。

【0045】図2に示されたデバイス110の動作は以下のようなものである。オン状態（陽極112が陰極134に対して正電位）において、ゲート138に印加される電圧は、ゲート138のpチャンネルMOSFETをターンオンするために、陰極134に対して十分に負でなければならない。またゲート140に印加される電圧は、ゲート140のnチャンネルMOSFET（P型ベース120において）をターンオンするために、陰極134に対して十分に正でなければならない。これにより、P⁺⁺領域116とN層114とN⁻層118を経由し、ウエハ表面のP型ベース120内のnチャンネル（ゲート140により生成される）を通過し、N⁺⁺エミッタ122を通り抜け、金属ストラップ124を介してP型ベース120に向かい、チャンネル領域130内のpチャンネル（ゲート138により生ずる）を通過し、P領域126を介して陰極134に向かう、陽極から陰極（図2の上方）への導電経路が生成されることによりサイリスタ110がオン状態にトリガーされる。

【0046】N⁺⁺エミッタ122の横方向の長さは、N

エミッタ/P型ベース接合部の一部分が、領域122、120、118、114および116で形成されるサイリスタをターンオンするためのオン状態において順バイアスされるような十分な電圧降下を生ずるよう設計されており、従って主サイリスタ電流はゲート140下のnチャンネルを迂回し、代わりに、P⁺⁺領域116から層114、118、および120を通過しN⁺⁺エミッタ122までデバイスを貫流し通過し直接上方を流れ、その後ゲート138の下でpチャンネルMOSFETを通過し、P領域126を通過し陰極134に向かう。

【0047】ゲート138の下でpチャンネルMOSFETがサイリスタ（116、114、118、120、122）と直列接続であるために、デバイスを貫流する電流は、ゲート138の下でpチャンネルMOSFETの飽和電流により制限される。このように、デバイスは電流飽和特性を持つ。飽和電流はゲート138に印加された電圧に依存する。

【0048】デバイスをターンオフするには、陰極に対してゼロあるいは正電位をゲート138に印加し（ゲート138下のMOSFETをターンオフするため）、また陰極に対して十分に負の電位をゲート140に印加する（ゲート140下のnチャンネルMOSFETをターンオフし、ゲート140下のpチャンネルMOSFETをターンオンするために）。それによりPベース120がP領域128に接続し、かくて陰極に電氣的に接続される。これらのゲート138、140上のそれぞれの電位は順ブロック状態（陰極に対し陽極が正電位）に維持される。サイリスタのPベース120がN⁺⁺エミッタ122に対してより低い電位で維持されるため、ゲート140の負電位はデバイスに対し高い降伏電圧になる。

【0049】順ブロック状態にある間、N⁺⁺エミッタ/Pベース接合部は逆バイアスされることに注意すべきである。これがエミッタ開放ターンオフの場合に類似しているため、本発明により、すぐれた高耐電圧特性、ターンオフ特性、および広範囲の安全動作領域が実現される。この点については、1980年6月開催のPower Electronics Specialist Conference（パワー電子部品専門家会議）におけるB. ジャクソンとD. チェン（B. Jackson and D. Chen）の論稿「Effects of emitter-open switching on the turn-off characteristics of high voltage power transistors」（高電圧パワートランジスタのターンオフ特性におけるエミッタ開放スイッチング）を参照されたし。

【0050】本発明の高電圧MOS制御サイリスタのオン状態電圧降下量は、高電圧サイリスタ（112、116、114、118、120、122）での電圧降下量とゲート138下の低電圧pチャンネルMOSFET（120、130、126、134）での電圧降下量の合計である。デバイスがより高い降伏電圧に耐えられるよう設計されている場合は、高電圧サイリスタでの電圧降下

量はあまり増加しない。それに対して、IGBTにおいては、そのIGBTがより高い降伏電圧に耐えられるように設計されている場合は、オン状態電圧降下量が増加する。なぜなら、サイリスタにおいてドリフト領域全体が導電度変調されるが、IGBTにおいてはドリフト領域の底部分のみが導電度変調される。従って、本発明のMOS制御サイリスタは、より高い降伏電圧(1200Vより大きい)デバイスに対する同じ電流値に対して、IGBTより低い順方向電圧降下を呈する利点がある。

【0051】さらに有利なことに、本発明は、前述したオン状態電流飽和特性を有するために、短絡回路保護を必要としない。これはMCTと比較すると大きな利点である。また有利なことに、本発明はその性能の低下をもたらす寄生サイリスタ構造を持たない。これは従来のESTと比較すると大きな利点である。

【0052】最後に、本発明は、MCTと比較してターンオフ損失がより少なくなる利点も有している。前述したように、本発明のデバイスにおいて、Pベースは、側面のpチャネルMOSFETを通過して接地電位に接続されて、N⁺⁺エミッタ/Pベース接合部に逆バイアスをかける。これにより、逆ベースドライブを与えることによりNPNTランジスタを不動作にするため、MCTと比較してより高速にてサイリスタ動作の停止、従って高速での電流減少をもたらすことになる。このように、本発明のデバイスのターンオフ時間はIGBT(近似的にベース開放PNPトランジスタターンオフ時間を持つ)のそれと近い。

【0053】前述し、図2に示された本発明の実施例は、Pベース120に沿った横側の電圧降下により、サイリスタをラッチするためにNPNTランジスタに順バイアスをかけるようにしている。従って、Pベース120は、ドーピングを低濃度にするとともに、比較的長くなければならない。それに対し、図3に示された別の実施例では、これは必要とされない。

【0054】図3に示した、図3のMOS制御サイリスタ210は、N層214およびN⁺層218の下側に配置された非常に高濃度にドーピングされたP⁺⁺領域216を持つ垂直方向導電型のデバイスである。層の厚さと濃度はデバイスブロック電圧に依存し、図2のデバイスと同じである。

【0055】N⁺層218内には、1) P⁺ベース221と、2) 後述のデバイスのpチャネルMOSFETを形成するP⁺領域219と、3) 後述のデバイスのpチャネルMOSFETはドレインを形成するP⁺領域226および228が設けられている。

【0056】N⁺⁺エミッタ領域222はP⁺ベース221内に設けられ、デバイスの上表面上の浮遊金属ストラップ224(デバイスのどの電極にも接続されていない)により、P⁺領域219に電氣的に短絡されている。

【0057】P⁺領域226および229、P⁺領域219および221、P⁺領域221および228は、それぞれのチャネル領域230、231、233を形成するウエハの上表面まで延在するN⁺層218の比較的小さい領域により互いに隔離されている。

【0058】陰極電極234はP⁺領域226および228に対しオーム接触を形成している。第1絶縁ゲート238はチャネル領域230上にある。第2絶縁ゲート240はチャネル領域233上にあり、さらにウエハの上表面でN⁺⁺エミッタ領域222とチャネル領域233間のP⁺ベース221の上にある。第3絶縁ゲート241はチャネル領域231上にあり、さらにウエハの上表面でN⁺⁺エミッタ領域222とチャネル領域231間のP⁺ベース221の上にある。ゲート238、240、241はポリシリコンで構成するのが好ましく、酸化層(図5では示されていない)によってデバイスの上側表面から絶縁される。ゲート240および241は共に結ばれていてもよい(電氣的に接続されて)。

【0059】図3に示したデバイス210の動作は以下の通りである。オン状態において(陽極212が陰極234に対して正電位)、ゲート238に印加される電圧はゲート238下のpチャネルMOSFETをターンオンするために陰極234に対して十分に負でなければならない、またゲート241および240に印加される電圧はゲート241および240下のnチャネルMOSFET(P⁺ベース221において)をターンオンするために陰極234に対して十分に正でなければならない。

【0060】この状況において、N⁺⁺エミッタ222は金属ストラップにより、チャネル領域230の反転により形成される横側のPMOSを介して接地電位に接続され、また層216、214、218、221により形成される垂直方向のPNPトランジスタに対するベース駆動は、ゲート240、241下のnチャネルMOSFETを介してなされる。P⁺⁺領域/N接合部が約0.7Vで順方向バイアスされると、P⁺⁺領域216は、層222、221、218、214により形成されるNPNTランジスタに対するベース駆動を開始すべく正孔の注入を開始する。これにより層216、214、218、221、222により形成されるサイリスタがラッチされた状態になる。

【0061】このように、これは、P⁺⁺領域216、N層214、N⁺層218を経由し、ウエハの表面でP⁺ベース221中のnチャネル(ゲート241および240によって生成される)を通過し、N⁺⁺エミッタ222を通り抜け、金属ストラップ224を介してP⁺領域219に向かい、チャネル領域230の中のpチャネル(ゲート238により生成される)を通過し、P⁺領域226を介して陰極234に向かう、陽極から陰極(図2の上方へ)への導電経路が形成されることにより、サイリスタ210がオン状態になる。

【0062】領域216、214、218および222により形成されるサイリスタがターンオンされた後、大部分の電流は、ゲート241および240下のnチャネルを迂回し、代わりに、P⁺領域216から領域214、218、221を介してN⁺エミッタ222まで流れ、その後、浮遊金属ストラップ224を介してP⁺領域219まで向かい、ゲート238下のpチャネルMOSFETを介して陰極234までデバイス内を上方向に直接流れる。ゲート238下のpチャネルMOSFETはサイリスタ(216、214、218、221、222)と直列接続されているため、デバイスを流れる電流は、ゲート238下のpチャネルMOSFETの飽和電流により制限される。このように、図2のデバイスと同様に図3のデバイスも、電流飽和特性を有している。飽和電流はゲート238に印加される電圧に依存する。有利なことに、サイリスタは、単にゲート238、240、241の電圧をゼロまで減少させることでターンオフされる。

【0063】デバイスをより速くターンオフするためには、陰極に対しゼロあるいは正電位をゲート238に印加し(ゲート238下のMOSFETをターンオフするために)、陰極234に対し十分な負電位をゲート240、241に印加する(ゲート240および241下のnチャネルMOSFETをターンオフし、ゲート240下のpチャネルMOSFETをターンオンするため)に。するとP⁺ベース221とP⁺領域228が接続され、電氣的に陰極に接続される。ゲート238、240、241上のそれぞれの電位は、順ブロック状態において維持される(陽極が陰極に対して正電位)。ゲート240に負電位を印可すると、サイリスタのP⁺ベース221をN⁺エミッタ222と比較してより低い電位で維持するため、デバイスとしては、結果として高い降伏電圧になる。

【0064】図4は図3の構成の変形例を示し、この変形例では、図3に示したP⁺領域228と、この領域に接続された陰極金属234、ゲート240およびチャネル領域233とを除去している。本変形例において、ターンオフおよび順ブロック状態時には、N⁺エミッタ222は、P⁺ベース221に対し、浮遊金属ストラップ224とゲート241下のpチャネル領域231を介して短絡されるのみである。

【0065】もう1つの図3の構造の変形例としては、ゲート241を取り除くかあるいは電氣的にそれを浮遊させる。

【0066】更にもう1つの図3の構造の変形例を図5に示すが、この変形例では、ウエハの上表面でP⁺領域219、226間にP⁺領域242を形成することにより形成される空乏pチャネルMOSFETを使用している。本変形例において、ゲート238はオン状態において、陰極に対し0ボルトに設定してもよい。本変形例に

において、オフ状態では、ゲート238は陰極に対してP⁺領域を最大限開放するために十分に正でなければならない。

【0067】図6は、ウエハの上側表面でP⁺領域219、226間にあるP⁺領域242を拡散することにより形成される空乏pチャネルMOSFETを使用する図4の構造の変形例を示す。本変形例では、図5の変形例と同様に、ゲート238はオン状態において、陰極に対し0ボルトに設定してもよい。オフ状態では、ゲート238は陰極に対してP⁺領域を最大限開放するために十分に正でなければならない。

【0068】前述し、図2から図6に示した本発明の実施例では、2つの別々のゲートを必要とする4端子デバイスである。図7に示されている本発明の別の実施例は1ゲート駆動を使用し、3端子構造となっている。図2から図6のデバイスのように、図7のMOS制御サイリスタ310は、N層314とN⁺層318の下側に設けた非常に高濃度にドーピングされたP⁺領域316を持つ垂直方向導電デバイスである。前述した実施例のように、デバイスの底面上の陽極312はP⁺領域316を覆っている。

【0069】デバイスの上表面から下方に延在するようにN⁺318層内に設けられているのは、後述するpチャネルMOSFETのソースとnチャネルMOSFETのチャネル領域328を形成するP井戸320である。またP井戸320内に設けられているのは、nチャネルMOSFETのドレインとpチャネルMOSFETのチャネル領域330を形成するN井戸322である。N井戸322はP井戸320の縁から第1半導体表面に沿って、半径方向内側へ間隔を置いて形成されており、P井戸内のnチャネルMOSFETのチャネル領域328を形成している。

【0070】後述のnチャネルMOSFETのチャネル領域332を形成するP型ベース324が、N井戸322内に形成されている。Pベース324はN井戸322の縁から第1半導体表面に沿って、半径方向内側へ間隔を置いて形成されており、それによりN井戸内のpチャネルMOSFETのチャネル領域330を形成している。Pベース324はウエハ上表面に沿って延在し陰極電極334に接触する。N⁺ソース領域323はPベース324内に形成され、またその上表面に沿って陰極電極に接触する。N⁺ソース323はPベース324の縁から第1半導体表面に沿って、半径方向内側へ間隔を置いて形成されており、それによりPベース内のnチャネルMOSFETのチャネル領域332を形成している。

【0071】P領域326はウエハの上表面から下方へ延在しているとともにチャネル領域336を形成するウエハの表面まで延在してチャネル領域336を形成するN⁺318の部分によりP井戸320から隔離されている。P領域326は陰極電極に電氣的に接触してい

る。

【0072】1つの絶縁ゲート338はチャネル領域336上にあり、またチャネル領域328、330および332上を横方向に延在している。ゲート338はポリシリコンで構成されるのが良く、酸化層(図7には示されていない)によりデバイスの上表面とは絶縁されている。

【0073】図7に示したデバイス310の動作は以下のようにある。オン状態(陽極312が陰極334に対して正電位)において、ゲート338に印加される電圧はチャネル領域328および332を反転させてゲート下のnチャネルMOSFETの両方ともターンオンするために、陰極に対し十分に正でなければならず、それにより、前述した図7で示したように陰極に電氣的に接触するN⁺⁺ソース323への順方向導電経路を形成する。これによりサイリスタをラッチするためPNPトランジスタ(層316、314、318、320から形成される)に対するベース駆動が行われる。このようにデバイスが、オン状態において、nチャネルMOSFET(層322、332、323から形成される)と直列接続したサイリスタとして動作する。

【0074】デバイスをターンオフするためには、ゲート338上の電圧はチャネル領域330および336を反転してゲート338下のpチャネルMOSFETの両方をターンオンするために陰極334に対し十分に負でなければならず、それにより、P拡散領域を陰極(接地)電位に接続する。前述した実施例のように、サイリスタにはMOSFETが直列接続されていること、また、チャネル領域336、330の反転によりサイリスタ電流が急速に接地ドレインされてP井戸320と陰極(接地)334を効果的に短絡させるPチャネルを形成することによる速いターンオフのため、図7のMOS制御サイリスタは電流飽和特性を持つ。

【0075】図7に示された本発明の実施例は、図8と図9とにおいて上面図で示したように細胞様構造に形成してもよい。この細胞様構造(cellular layout)では、図7の4層P井戸領域はN⁺⁺/P⁺/N⁺/Pセルとして示してある。図8のレイアウトにおいて、ウエハは、N⁺⁺/P⁺/N⁺/Pセルが全セルの2/3、P⁺セルが全セルの1/3形成されている。各N⁺⁺/P⁺/N⁺/Pセルは3つの隣接するP⁺セルで囲まれている。図9は図7の実施例に対する別の可能な細胞様構成の上面図を示す。

【0076】図10、図11、図12、および図13に示したまた別の本発明の実施例では、1つのゲート駆動を使用した3端子構造となっている。この実施例は、セル群のアレーからなる。1つの単位セル群を図11で示しているが、各セル群は図10に示したように3つの構成要素、すなわち、エミッタスイッチングセル(E

(P⁺)からなる。図11で示される単位セル群を複数形成することで、チップの動作領域を形成している。1列ないし2列のP⁺セルは、チップの動作領域の縁に形成するのが好ましい。

【0077】図2から図7のデバイスと同様、図10、図11、図12、および図13に示したMOS制御サイリスタ410は、N層414とN⁺層418の下側に非常に高濃度にドーピングされたP⁺⁺領域416が形成された垂直方向導電デバイスである。前述の実施例においてのように、デバイスの底面にある陽極412がP⁺⁺領域416を覆っている。

【0078】図12と図13に示したように、P井戸420がN⁺層418内に形成されてデバイスの上表面から下方に延在して、後述のpチャネルMOSFETのソースとnチャネルMOSFETのチャネル領域428を形成している。N井戸422がP井戸420内に形成されて、nチャネルMOSFETのドレインを形成している。P⁺ベース424がN井戸422内に形成されて、以下で説明するnチャネルMOSFETのチャネル領域432を形成している。P⁺ベース424はウエハの上表面に沿って延在して陰極434に接触している。N⁺⁺ソース領域423は、P⁺ベース424の縁から第1半導体表面に沿って半径方向内側部に向かって間隔を置いて形成され、それによりP⁺ベース内のnチャネルMOSFETのチャネル領域432を形成している。N⁺⁺エミッタ領域444はP井戸420内に設けられてN井戸422に接続されている。N⁺⁺エミッタ領域444は、少なくとも1つのP井戸420の縁から第1半導体表面に沿って半径方向内側に向かって間隔を置いて形成されており、それによりP井戸内のnチャネルMOSFETのチャネル領域428が形成されている。

【0079】図13に示したように、P⁺領域426はウエハの上表面から下方に延在しているとともに、ウエハの表面まで延在してチャネル領域436を形成するN⁺418の部分によりP井戸420から間隔をおいて形成されている。P⁺領域426は陰極電極434に電氣的に接触している。

【0080】1つの絶縁ゲート438の格子構造はチャネル領域436上にあり、またチャネル領域428および432上にもある。ゲート438はポリシリコンから構成されるのが好ましく、酸化層(図示されていない)によりデバイスの上側表面から絶縁される。

【0081】図10、図11、図12および図13に示したデバイス410の動作を以下に説明する。オン状態(陽極412が陰極434に対して正電位)において、ゲート438に印加する電圧は、チャネル領域428および432を反転してゲート下のnチャネルMOSFETの両方をターンオンさせて、図12について説明したように陰極434に電氣的に接続されているN⁺⁺ソース423への順方向導電経路を形成するために陰極に対し

て十分に負でなければならない。これでPNPトランジスタのベースが駆動されて、サイリスタをラッチする。このようにデバイスはオン状態において、nチャネルMOSFET(層444、422、432、423により形成される)と直列接続したサイリスタ(層416、414、418、420、444により形成される)として動作する。

【0082】デバイスをターンオフするためには、ゲート438上の電圧は、チャネル領域436を反転するために陰極434に対し十分に負でなければならない、それによりゲート438下のpチャネルMOSFETをターンオンし、P井戸領域を陰極(接地)電位に接続する。前述した実施例のように、図10、図11、図12および図13のMOS制御サイリスタは、サイリスタにMOSFETが直列接続されていることによる電流飽和特性と、チャネル領域436の反転によりサイリスタ電流が急速に接地方向にドレインされてP井戸420と陰極434を効果的に短絡するpチャネル領域を形成することによる速いターンオフ特性をもつ。

【0083】本発明は特別な実施例について説明されてきたが、当業者にとって、他の多くの変形例や改変(表面プラナーゲートの代わりにトレンチゲートの利用や、異なるゲートやチャネル領域のレイアウト等)が考えられることは明らかである。それゆえ、本発明は実施例により制限をされるものではなく、付属の請求項によりのみ制限される。

【0084】

【発明の効果】本発明のMOS制御サイリスタは、寄生サイリスタ構造を持たずに電流飽和特性を有し、ターンオフの間、逆バイアスされたエミッタ/ベース接合部を有することから、すぐれたターンオフとより広範囲な安全動作領域が実現できる。

【図面の簡単な説明】

【図1】 代表的な従来技術のエミッタスイッチサイリスタ(EST)の断面図。

【図2】 本発明の第1実施例の断面図。

*

*【図3】 本発明の第2実施例の断面図。

【図4】 第3P型領域とそれと対応する第3ゲートを除いた図3の実施例の変形例の断面図。

【図5】 空乏pチャネルMOSFETを使用した図3の実施例の変形例の断面図。

【図6】 空乏pチャネルMOSFETを使用した図4の実施例の変形例の断面図。

【図7】 1つのゲートドライブのみを必要とする本発明の第3実施例の変形例の断面図。

10 【図8】 図7の実施例の考えられる細胞様構成を示した上面図。

【図9】 図8とは異なる図7の実施例の考えられる細胞様構成を示した上面図。

【図10】 1つに組み合わされた時に本発明の第4実施例を形成する3つの構成要素又はセルの断面図。

【図11】 単位セル群の上面図。

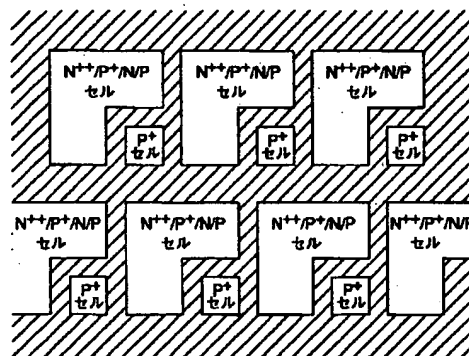
【図12】 図11の1-1線に沿った断面図。

【図13】 図12の2-2線に沿った断面図。

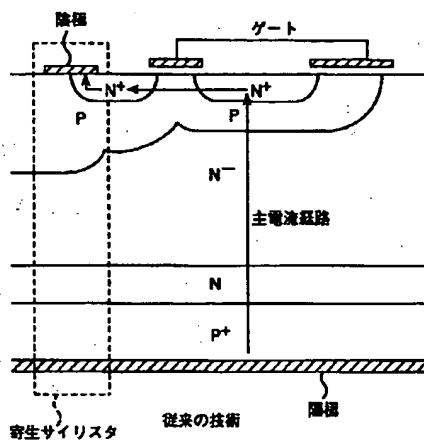
【符号の説明】

20 110, 210, 310, 410 MOS制御サイリスタ、112, 212, 312, 412 陽極電極、114, 214, 314, 414 N型層、116, 216, 316, 416 P⁺⁺領域、118, 218, 318, 418 N⁻層、120, 324 P型ベース、122, 222, 444 N⁺⁺エミッタ領域、124, 224 金属ストラップ、126, 128, 326 P型領域、130, 132, 230, 231, 233, 328, 330, 332, 336, 428, 432, 436 チャネル領域、134, 234, 334, 434 陰極電極、138, 238第1絶縁ゲート、140, 240第2絶縁ゲート、219, 226, 228 P⁺領域、221, 424 P⁺ベース、241 第3絶縁ゲート、320, 420 P井戸、322, 422 N井戸、323, 423 N⁺⁺ソース領域、338, 438 絶縁ゲート。

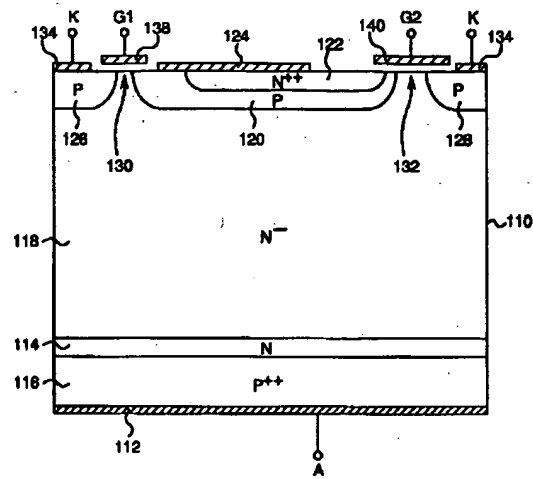
【図9】



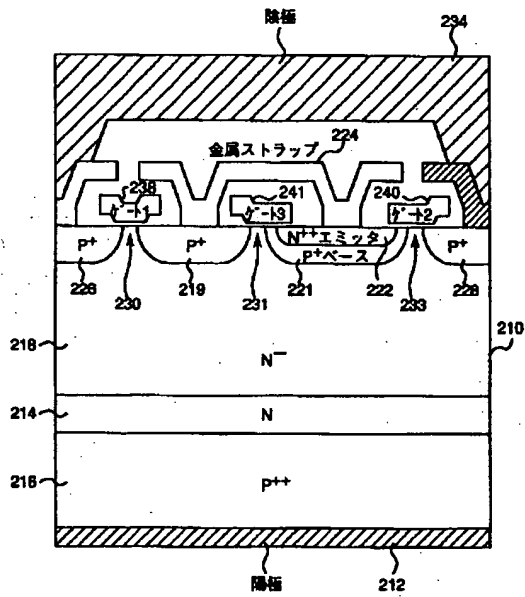
【図1】



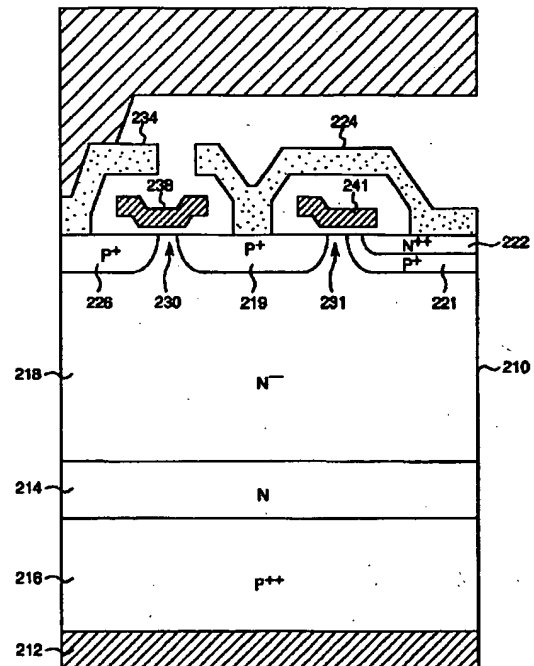
【図2】



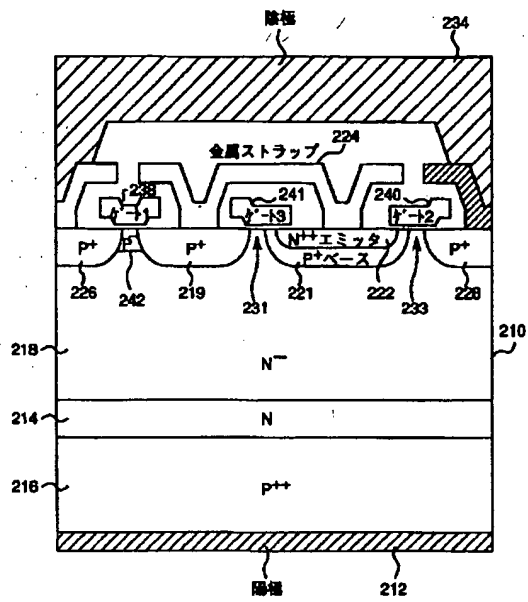
【図3】



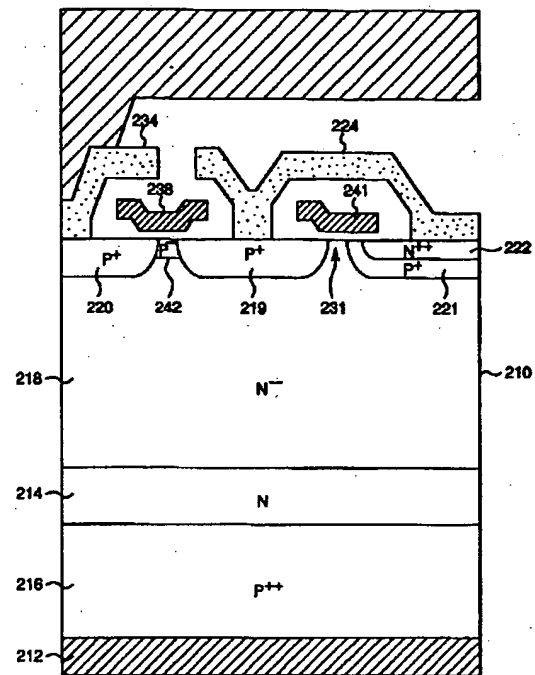
【図4】



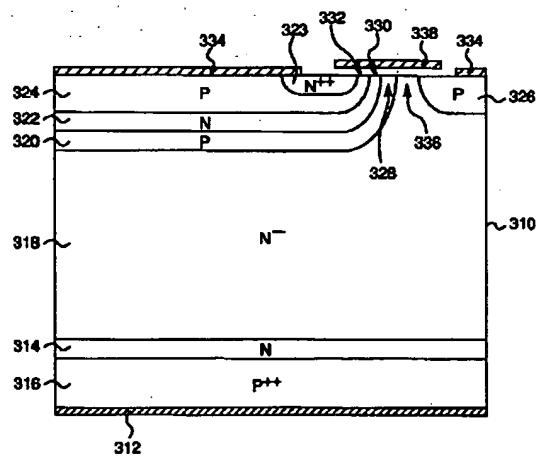
【図5】



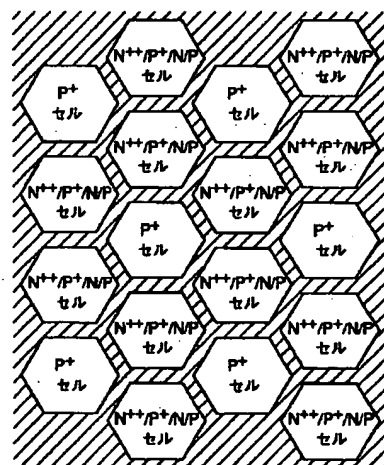
【図6】



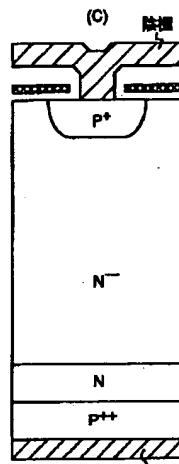
【図7】



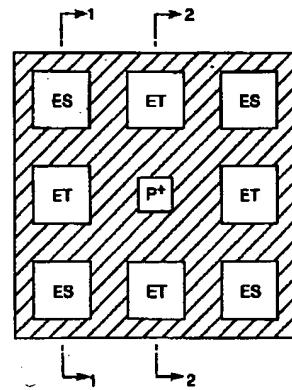
【図8】



【圖 11】



P^+ セル
(P^+)



【圖 13】

